

# 利用EBSD分析通孔填充之各階段的電鍍銅微結構\*

## EBSD Analysis on the Microstructures of Electrolytic Cu Deposition in the Through Hole (TH) Filling Process

何政恩<sup>1</sup> ■ 廖成偉<sup>2,3</sup> ■ 花馨慧<sup>3</sup> ■ 陳宏杰<sup>3</sup>  
C. E. Ho, C. W. Liao, H. H. Hua, H. J. Chen

本研究藉由場發射掃描式電子顯微鏡 (field-emission scanning electron microscope, FE-SEM)，搭配電子背向散射繞射 (electron backscatter diffraction, EBSD) 技術，以探討電鍍銅填充通孔 (through hole, TH) 的各階段沉積銅形貌與晶體結構特徵。研究結果顯示，電鍍銅沉積速率與電鍍時間 ( $t$ ) 有極大的關聯。當電鍍發生於  $t=40-74$  min 階段時，銅的沉積速率約為  $0.3 \mu\text{m}/\text{min}$ 。有趣的是，在  $t=74-80$  min 階段，該速率將大幅上升至  $4 \mu\text{m}/\text{min}$ 。本時期亦稱為“快速沉積期”。在填孔即將完成階段 ( $t=80-100$  min)，速率會驟減至約  $0.16 \mu\text{m}/\text{min}$ 。EBSD 分析結果顯示，在電鍍初期 ( $t=40-74$  min)，銅主要係以  $[111]\parallel\text{TD}$  生長取向來進行沉積。在快速沉積期 ( $t=74-80$  min)，銅則以  $[111]\parallel\text{TD}+[101]\parallel\text{TD}$  生長取向為主，同時在此時期銅的晶粒尺寸 (grain size) 亦較大。在電鍍末期 ( $t=80-100$  min)，雖然銅亦以  $[111]\parallel\text{TD}$  作為擇優取向，但該比例已明顯下降。上述之各階段的銅晶體結構轉變，未曾於文獻中被報導。此一結果係可提供電子工業所需之金屬化填孔的相關知識，以作為後續填孔製程再精進的重要依據。

In this study, the morphological and crystallographic evolutions of the through hole (TH) filling by electrolytic Cu deposition with the plating time ( $t$ ) were investigated using a field-emission scanning electron microscope equipped with electron backscatter diffraction (EBSD) analysis system. The Cu deposition rate in the TH was strongly dependent on  $t$ , which was in a moderate rate of  $\sim 0.3 \mu\text{m}/\text{min}$  at  $t=40-74$  min, subsequently accelerated to  $\sim 4 \mu\text{m}/\text{min}$  at  $t=74-80$  min (termed “fast deposition regime”), and decelerated to  $\sim 0.16 \mu\text{m}/\text{min}$  in the final plating regime ( $t=80-100$  min). EBSD analyses showed that  $[111]\parallel\text{TD}$  (transverse direction) orientation displayed relatively strong in the initial induction regime, while  $[111]\parallel\text{TD}+[101]\parallel\text{TD}$  orientations became dominant in the fast deposition regime (i.e.,  $t=74-80$  min), along with large grain sizes, and a very low  $[111]\parallel\text{TD}$  orientation in the final deposition regime. This research offered better understanding of the morphological and crystallographic evolutions in each stage of the electrolytic Cu TH filling.

**關鍵詞：**通孔、電鍍銅、電子背向散射繞射 (EBSD)、晶體取向、織構

**Key words:** through hole (TH); electrolytic Cu; EBSD; orientation; texture

### 一、前言

隨著超大規模積體電路 (very large scale integration, VLSI) 的快速發展，傳統二維 (2D) 封裝形式已無法滿足電子工業對積體電路 (integrated circuit, IC) 更快速和小封裝體積的雙重需求。

\*一〇一年十一月二日在本會一〇一年年會宣讀之論文

<sup>1</sup>元智大學化學工程與材料科學學系(所) <sup>1</sup>副教授 <sup>3</sup>研究生

<sup>2</sup>武漢大學 物理科學與技術學院 <sup>2</sup>研究生

<sup>1</sup>Department of Chemical Engineering & Materials Science, Yuan Ze University, Taiwan, R.O.C.

<sup>2</sup>School of Physics and Technology, Wuhan University, Wuhan, Hubei 430072, China

因此具小體積、低功耗、和低成本之三維 (3D) 封裝技術開始受到高度關注 (圖 1a)。三維封裝是指在不改變封裝尺寸的前提下，在同一個封裝元件內於垂直方向堆疊出兩個以上晶片的封裝技術。在眾多的三維封裝技術中，利用通孔 (through hole, TH) 之互連技術是十分重要的解決方案。它具有縮短兩晶片間的距離，降低堆疊式晶片的訊號延遲，減小封裝體積，以及低能耗的優點<sup>(1,2)</sup>。上述多項優點推使三維積體電路 (3D IC) 的封裝技術成為近年來很受矚目的科技進展。

在 3D IC 封裝技術中，使用電鍍銅來填充通孔 (TH filling) 或矽晶穿孔 (through silicon via, TSV) (圖 1a)，以形成貫穿各導線層的垂直線路是其中的關鍵步驟<sup>(3)</sup>。這項技術事實上更早係由高密度互連 (high density interconnection, HDI) 的印刷電路板 (printed circuit board, PCB) 所使用 (圖 1b)。這兩種電鍍銅填充通孔技術的主要差異之一，在於通孔縱深比 (aspect ratio) 的不同。用於 3D IC 上的縱深比通常遠較 HDI-PCB 高，因此填充困難度也較高。迄今已有許多研究曾對上述兩項不同尺度的電鍍銅填充進行報導，這其中主要包括了探討不同厚度基板對電鍍銅形態的影響<sup>(4)</sup>、不同通孔直徑和形狀對電鍍銅填充過程的影響<sup>(4,5)</sup>、不同電解液對電鍍銅的物理化學性質的影響<sup>(3,5,6)</sup>、以及不同電鍍銅的電學 / 機械性質的研究<sup>(7,8)</sup>。雖然在文獻中已有許多經典的研究成果，但對於在不同電鍍時間 ( $t$ ) 下，電鍍銅的生長行為和晶體結構關係卻鮮少有相關報導。在導線中，銅的晶體取向 (orientation)、晶粒尺寸 (grain size)、晶界 (grain boundary)、缺陷 (defect) 等對導線之電、熱、機械等特性係有很大的影響。這些結構特徵往往也決定了電鍍銅填充的信賴性<sup>(9,10)</sup>。也因此通孔填充技術中，有關電鍍銅的微結構 / 晶體結構等重要資訊是亟需被建立的。

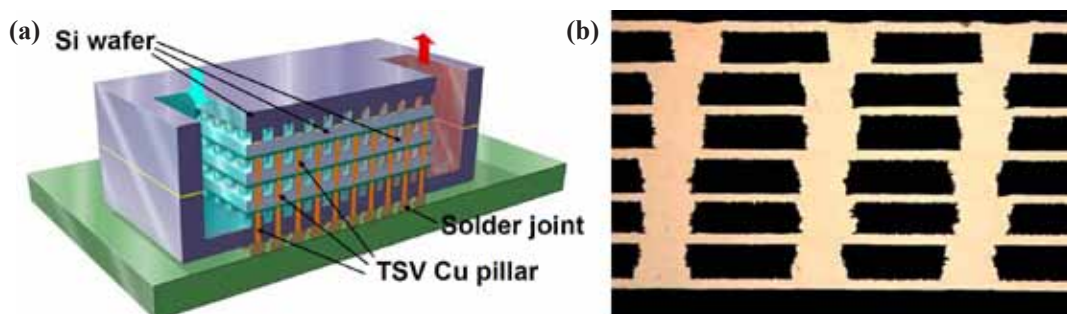


圖1 (a) 3D IC封裝；(b) HDI-PCB之內層銅導線。(a. <http://www.atotech.com>; b. <http://funningboy.blogspot.tw/2011/01/3d-ic-design-partitioning-with-power.html>)

電子背向散射繞射 (electron backscatter diffraction, EBSD) 技術係利用掃描式電子顯微鏡 (scanning electron microscope, SEM) 之電子束，在樣品表面激發並形成繞射菊池帶 (Kikuchi bands)，進而取得相關晶體結構訊息。從 EBSD 數據分析中不但可以得到晶體結構資訊，同時還可以得到相分佈、晶界類型、甚至差排 (dislocation) 密度等定量訊息。本研究特使用上述分析技術來對通孔填充過程中，銅的晶粒尺寸及晶體取向等微結構進行深入探討。

## 二、實驗方法

圖 2a 是電鍍銅通孔填充的實驗流程圖。基板材質為 BT (bismaleimide triazine) 樹脂。在電鍍前，BT 基材的兩面會先各壓合一層約 10  $\mu\text{m}$  厚的銅膜。接著再利用機械鑽孔技術，於基板

上鑽出大小為  $110\ \mu\text{m}$  (直徑) $\times 100\ \mu\text{m}$  (高度)的圓通孔。經過去毛邊流程後，再使用化學沉積法在板面與孔壁內沉積一層約  $1\ \mu\text{m}$  厚的化學銅 (electroless Cu)。之後，採用直流電鍍銅的方式完成通孔的填充。在電鍍過程中，電解液的溫度控制在室溫，電流密度則固定在  $1.5\ \text{A}/\text{dm}^3$ 。電解液主要係由  $\text{CuSO}_4$ 、 $\text{H}_2\text{SO}_4$ 、 $\text{Cl}^-$ 、TF II-A [運載劑 (carrier)+ 整平劑 (leveler)]、以及 TF II-B [光澤劑 (brightener)] 所組成，如表 1 所示。實驗中為了減少電鍍銅發生孔洞的機率，並增加銅填充的均勻性，電鍍槽中特安裝了噴管組系統，以增加電解液的流動性。電鍍時間 ( $t$ ) 分別為 40 min、60 min、74 min、80 min、及 100 min。

電鍍完成後，將不同電鍍時間下的電鍍銅先進行鑲埋及橫截面之金相分析處理。接著再使用場發射掃描式電子顯微鏡 (FE-SEM; type: JEOL JSM 7001F) 對樣品進行觀察。並利用 EBSD 對銅晶體結構特徵，如晶粒尺寸、晶界、以及晶粒取向等進行分析。電子顯微鏡的操作電壓設在 15 千伏 (keV)、掃描步長則固定為  $0.5\ \mu\text{m}$ 。EBSD 的數據分析使用 TSL-OIM (version 6.0) 軟體，分析中樣品的法向 (normal direction, ND)、軋向 (rolling direction, RD)、橫向 (transverse direction, TD)，如圖 2b 所示。

表 1 電鍍銅溶液之成份與濃度。

化學成份	濃度
$\text{CuSO}_4$	$240\ \text{gL}^{-1}$
$\text{H}_2\text{SO}_4$	$13.46\ \text{gL}^{-1}$
$\text{Cl}^-$	40.6 ppm
TF II-A 運載劑 (carrier)+ 整平劑 (leveler)	$15.18\ \text{mL}^{-1}$
TF II-B 光澤劑 (brightener)	$2.80\ \text{mL}^{-1}$

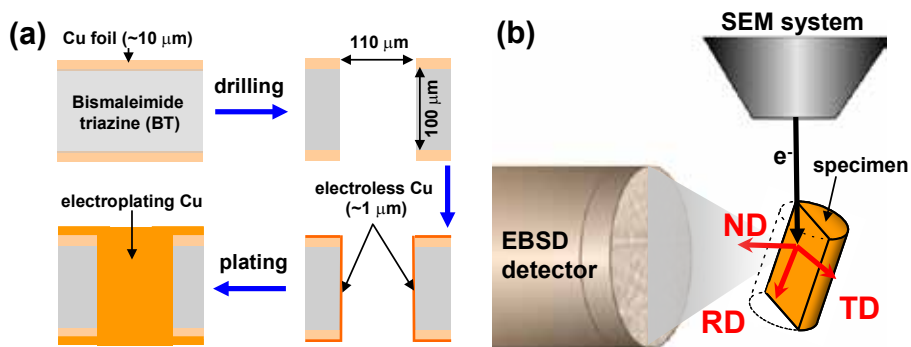


圖 2 (a)電鍍銅通孔填充實驗流程圖；(b)樣品橫截面與EBSD分析之法向(ND)、軋向(RD)、橫向(TD)的相對位置。

### 三、結果與討論

圖 3 是於不同電鍍時間下，銅填孔的 SEM 圖，以及通孔內平均銅厚度隨時間的變化曲線。結果顯示，通孔中銅厚度係隨著時間而增加。然而在不同電鍍階段，銅的沉積速率卻顯著不同。在電鍍初始階段 ( $t=40-74\ \text{min}$ )，銅可均勻沉積於基板表面和通孔內。此時銅的沉積速率

平均約為  $0.3 \mu\text{m}/\text{min}$ 。然而在  $t=74-80 \text{ min}$  時，沉積速率將爆衝至十倍以上而達  $4 \mu\text{m}/\text{min}$ 。此階段亦稱為「快速沉積期」。值得一提的是，相對於通孔中心位置，兩端開口處的沉積速率較快（圖 3b）。因此通孔兩端會優先接合，並在中心處留下一個橢圓形的孔洞（圖 3b）。在即將完成銅填孔階段（ $t=80-100 \text{ min}$ ），該速率會反向驟減至  $0.16 \mu\text{m}/\text{min}$ 。同時，電鍍銅會把中間孔洞填滿，而形成無洞的完整填孔。

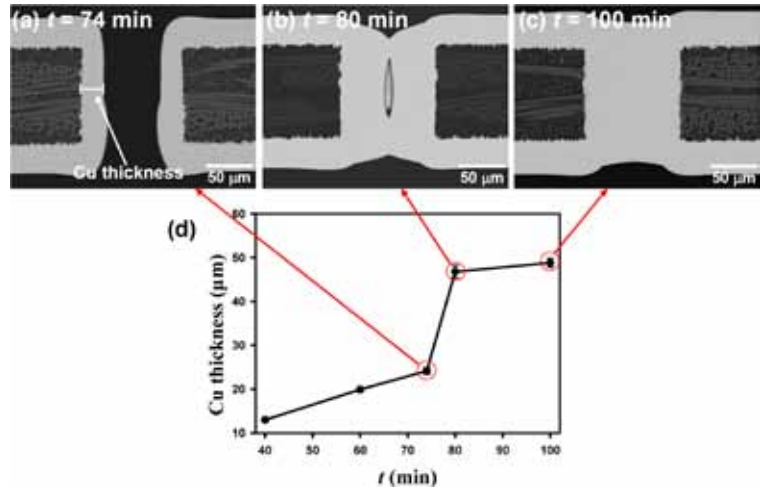


圖3 (a)-(c)在不同電鍍時間下，電鍍銅填孔情形：(a) 74 min；(b) 80 min；(c) 100 min；(d)通孔中銅厚度對電鍍時間變化曲線。

通孔結構中如果存在孔洞將會嚴重危害電子封裝的可靠性<sup>(1)</sup>。雖然在過去幾年電鍍銅填孔技術已有相當好的進展，但生產完全無孔洞的通孔導線仍然是一項艱鉅的挑戰，尤其在縱深比 (aspect ratio) 高或差異性極大的元件上更是如此。在通孔填充過程中，孔洞生成的主要原因是電鍍時，通孔內各部的電流密度不均勻所致<sup>(1)</sup>。根據文獻，在通孔開口處的電流密度會大於中間位置，因而造成開口處之銅沉積速率較快。最終，電鍍銅優先封閉該處，進而於導線內部產生孔洞<sup>(1)</sup>。近年來，電子工業也進行了許多避免孔洞生成的嘗試，其中包括在電解液中添加特定抑制劑，例如氯化硝基四氮唑蘭。或改變通孔的形狀，例如把圓孔改為 V 或 X 形<sup>(5)</sup>。有趣的是，本研究發現當  $t=80-100 \text{ min}$  階段，通孔中橢圓形的孔洞竟隨電鍍時間延長而逐漸密合（圖 3c）。此一發現顯示，即使通孔兩端已被封閉（圖 3b），但通孔內仍可持續進行相關化學反應。因此我們推測在電鍍銅中可能存有許多微型通道。這些通道可提供電鍍液不斷流入通孔內部的管道，進而使得孔洞得以完全填滿。上述推論正確與否仍需進一步利用高穿透、非破壞性的穿透式 X 光顯微鏡 (X-ray transmission microscope, XTM) 來加以驗證。

為了進一步了解電鍍銅的微結構特徵，本研究特使用 EBSD 來對樣品進行晶體結構分析。圖 4a 是在  $t=100 \text{ min}$ ，電鍍銅的反極圖 (inverse pole figure, IPF) (分析方向為 TD)。此圖係對應圖 3c。其中紅色區域表示該處的銅係呈  $\langle 001 \rangle$  方向，藍色區域表示銅  $\langle 111 \rangle$

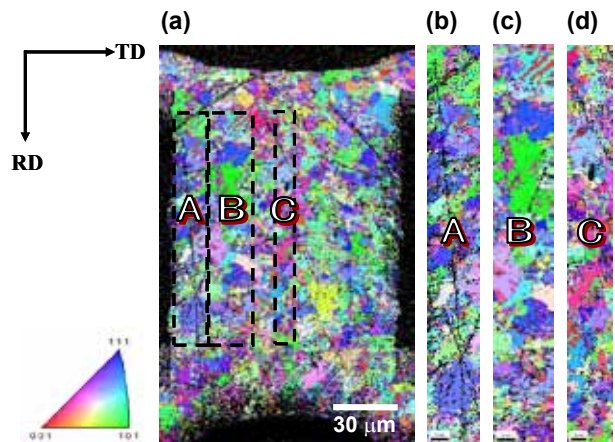


圖4 (a)在  $t=100 \text{ min}$  時，電鍍銅之反極圖；(b) A 區；(c) B 區；(d) C 區。

方向，綠色區域則表示銅〈101〉方向。不同顏色則代表晶粒取向的不同。如圖 4a 所示，圖中以綠色和藍色為主，表示通孔中銅晶粒的生長方向主要為〈101〉和〈111〉。

由於通孔中電鍍銅的生長係歷經了三個不同沉積速率時期(圖 3)，因此不同時期的晶體特徵是否具有差異？是下個階段值得再被深入探討的課題。為了回答上述問題，我們從同一樣品(圖 4a)中取出 A、B、及 C 等三個局部區域(圖 4b-d)進行更細部的分析。這三區大致可代表電鍍銅於沉積初期、快速沉積期、以及沉積末期的結構。晶粒尺寸明顯以 B 區為最大，亦即在快速沉積期銅的晶粒尺寸分別比沉積初期及末期要大上許多。

圖 5a-c 是對應 A、B、C 三區之極圖(pole figure, PF)。有別於反極圖(圖 4b-d)所得之晶粒取向(orientation)分佈狀況，極圖提供了定量之晶粒取向的擇優(preferred orientation)程度。根據右邊的颜色標尺，若極圖中顏色越紅則表示密度峰值越大，也代表該處的取向愈具有擇優取向。

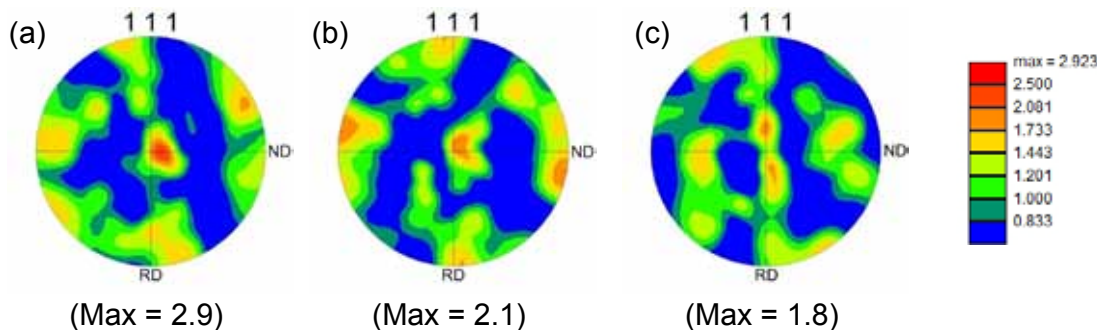


圖 5 (a) A 區的(111)極圖；(b) B 區的(111)極圖；(c) C 區的(111)極圖。

在圖 5a 中，最大密度峰值(最大值 2.9)出現在很靠近中心的位置。這表示在銅沉積初期，其晶粒主要係朝 [111]||TD 方向生長。圖 5c 與圖 5a 相似，最大的密度峰值也出現在靠近中心位置，但其強度稍低(最大值僅 1.8)。此意謂 [111]||TD 方向生長的晶粒比例有所下降，儘管此階段電鍍銅晶粒生長仍以 [111]||TD 方向為主。然而在圖 5b 中，最大密度峰值(最大值 2.1)除了出現在靠近中心區域外，在兩端位置另明顯有集中現象。表示在快速沉積期( $t=74-80$  min)銅晶粒除了朝 [111]||TD 方向生長外，部份亦朝 [101]||TD。但其最大峰值小於圖 5a，這也說明了 [111]||TD 取向晶粒的比例並不如沉積初期。從以上結果可得知，電鍍銅填孔在不同階段晶粒的主要生長方向是有些微差異的。在沉積初期和末期都是以 [111]||TD 取向為主，但在生長末期則以 [111]||TD 取向的銅晶粒較少。在快速沉積期，擇優取向則是以 [111]||TD+[101]||TD 為主。

一般來說晶體在結晶過程中，原子傾向由最密堆積面(closest packed plane)開始進行堆疊生長。這是因為此種生長方式往往具有最低的表面能(surface energy)<sup>(12)</sup>。若從能量最低原則考慮，[111]||TD 或許是銅原子沉積的理想取向<sup>(13)</sup>。在沉積初期( $t=40-74$  min)沉積速率較小(圖 3)，因此銅原子有足夠時間以最低能量的堆疊方式進行生長，故銅係以 [111]||TD 取向為主作生長。然而在快速沉積期卻是發現，銅晶粒除了 [111]||TD 取向外，另有 [101]||TD。這似乎並不滿足能量最低原則。Zhang et al.<sup>(14)</sup> 等人指出，在具面心立方(face-centered cubic, FCC)結構的材料中，[101]取向具有最低的應變能。在快速沉積期有部份的銅原子係以 [101]||TD 取向即顯示了，應變能可能在電鍍銅沉積過程中扮演著一定角色<sup>(15)</sup>。這項推論似乎是合理的。

這是因為在快速沉積期，全部之銅原子可能會來不及朝最低能量方向([111]||TD)進行堆積，也因此部份原子便朝最低應變能方向([101]||TD)來進行堆疊。也因此，在快速沉積期便出現了[111]||TD+[101]||TD兩種擇優取向。在沉積末期( $t=80-100$  min)，我們只發現有微弱的[111]||TD取向。這可能是因為銅在此階段的生長被通孔壁面結構所侷限了。因此在此階段以特定的取向進行生長([111]||TD或[101]||TD)便會受到一定阻礙，而使得銅的沉積沒有出現擇優現象。上述結果是生長面銅所沒有看到的現象，這可能是因為面銅並未受通孔孔壁限制所致。更深入的銅微結構分析，例如晶界(大角度、小角度、孿晶)、重合位置點陣晶界(coincident site lattice, CSL)、織構(texture)等，請參閱文獻<sup>(16)</sup>。

## 四、結 論

本研究利用 SEM 和 EBSD 對通孔填充過程中，不同沉積階段的電鍍銅微結構，包括沉積速率、晶粒尺寸、晶界特徵、以及晶體取向進行了一系列的探討。研究發現在通孔中，銅的沉積速率與時間係有密切關聯。在沉積初期( $t=40-74$  min)，電鍍銅沉積速率約為  $0.3 \mu\text{m}/\text{min}$ 。在快速沉積期( $t=74-80$  min)，該速率大幅上揚至  $4 \mu\text{m}/\text{min}$ 。在沉積末期( $t=80-100$  min)，沉積速率則降為  $0.16 \mu\text{m}/\text{min}$ 。EBSD 分析結果顯示，在快速沈積期，銅晶粒不僅尺寸較大，而且取向係以 [111]||TD+[101]||TD 為主。此與在沈積初期及末期，以 [111]||TD 為主的晶體取向有所不同。本研究建立了在不同電鍍時間下，銅填孔的形貌變化規律，同時也建立電鍍銅之宏觀形貌與微觀晶體特徵關係。

**致謝** 本研究承蒙國科會所提供之經費支持(NSC100-2221-E-155-018-MY3 & NSC102-2622-E-155-004)。

## 五、參考文獻

- (1) S.C. Hong, W.G. Lee, W.J. Kim, J.H. Kim, J.P. Jung, *Microelectron. Reliab.* 51 (2011) 2228.
- (2) S.H. Hwang, B.J. Kim, H.Y. Lee, Y.C. Joo, *J. Electron. Mater.* 41 (2012) 232.
- (3) T.H. Tsai, J.H. Huang, *J. Micromech. Microeng.* 20 (2010) 115023.
- (4) M. Lefebvre, L. Barstad, L. Gomez, *Proceedings of the 5<sup>th</sup> International Microsystems Packaging Assembly and Circuits Technology (IMPACT) Conference, 2010, (October 20-22, 2010, Taipei, Taiwan)* 1.
- (5) W.P. Dow, H.H. Chen, M.Y. Yen, W.H. Chen, K.H. Hsu, P.Y. Chuang, H. Ishizuka, N. Sakagawa, R. Kimizukad, *J. Electrochem. Soc.* 155 (2008) 750.
- (6) W.P. Dow, C.W. Lu, J.Y. Lin, F.C. Hsu, *Electrochem. Solid-State Lett.* 14 (2011) 63.
- (7) C. Okoro, K. Vanstreels, R. Labie, O. Lühn, B. Vandeveldel, B. Verlinden, D. Vandepitte, *J. Micromech. Microeng.* 20 (2010) 045032.
- (8) C. Okoro, R. Labie, K. Vanstreels, A. Franquet, M. Gonzalez, B. Vandeveldel, E. Beyne, D. irk Vandepitte, B. Verlinden, *J. Mater. Sci.* 46 (2011) 3868.
- (9) S.H. Kim, J.H. Kang, S.Z. Han, *Mater. Trans.* 51 (2010) 659.
- (10) H. Kadota, R. Kanno, M. Ito, J. Onuki, *Electrochem. Solid-State Lett.* 14 (2011) 48.
- (11) P. Dixit, J.M. Miao, *J. Electrochem. Soc.* 153 (2006) 552.
- (12) L. Chen, L.P. Wang, Z.X. Zeng, T. Xu, *Surf. Coat. Tech.* 201 (2006) 599.
- (13) B. Hong, C.H. Jiang, X.J. Wang, *Mater. Trans.* 49 (2008) 275.
- (14) J.M. Zhang, K.W. Xu, *Appl. Surf. Sci.* 218 (2003) 245.
- (15) H.L. Wei, H.C. Huang, C.H. Woo, R.K. Zheng, G.H. Wen, X.X. Zhang, *Appl. Phys. Lett.* 80 (2002) 2290.
- (16) C.E. Ho, C.W. Liao, C.X. Pan, H.J. Chen, J.C. Kuo, D. Chen, "Electron backscatter diffraction analysis on the microstructures of electrolytic Cu deposition in the through hole filling process," *Thin Solid Films* (2013), doi:10.1016/j.tsf.2013.02.089. \*